

대한민국 특허청
KOREAN INDUSTRIAL
PROPERTY OFFICE

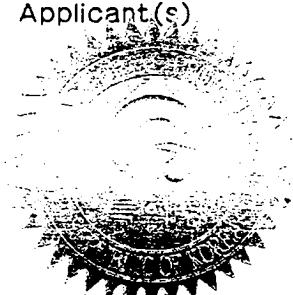
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Industrial
Property Office.

출원번호 : 특허출원 1999년 제 20939 호
Application Number

출원년월일 : 1999년 06월 07일
Date of Application

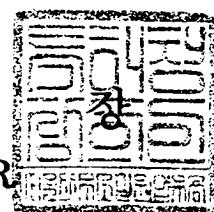
출원인 : 아남반도체 주식회사
Applicant(s)



2000년 03월 03일

특허청

COMMISSIONER



【서류명】 서지사항보정서
【수신처】 특허청장
【제출일자】 1999.09.14
【제출인】
 【명칭】 아날반도체 주식회사
 【출원인코드】 119980026719
 【사건과의 관계】 출원인
【대리인】
 【성명】 서만규
 【대리인코드】 919980002604
 【포괄위임등록번호】 19990454858
【대리인】
 【성명】 최용원
 【대리인코드】 919980006581
 【포괄위임등록번호】 19990454865
【사건의 표시】
 【출원번호】 1019990020939
 【출원일자】 1999.06.07
 【발명의 명칭】 반도체패키지의 제조방법
【제출원인】
 【접수번호】 111999005739105
 【접수일자】 1999.06.07
【보정할 서류】 특허출원서
【보정할 사항】
 【보정대상 항목】 발명자
 【보정방법】 정정
【보정내용】
【발명자】
 【성명의 국문표기】 전도성
 【성명의 영문표기】
 【주민등록번호】
 【우편번호】 -

1019990020939

2000/3/

【주소】	미합중국 아리조나주 85226 첼들러 900노스 루 틀로드 #2055
【국적】	US
【발명자】	
【성명의 국문표기】	장태환
【성명의 영문표기】	
【주민등록번호】	730923-1697215
【우편번호】	
【주소】	서울특별시 노원구 상계동 767-1 31/2 주공아파 트 116-301
【국적】	KR
【발명자】	
【성명의 국문표기】	이선구
【성명의 영문표기】	
【주민등록번호】	640919-1140210
【우편번호】	
【주소】	경기도 고양시 덕양구 행신동 햇빛마을 주공아 파트 1823-601호
【국적】	KR
【발명자】	
【성명의 국문표기】	신원선
【성명의 영문표기】	
【주민등록번호】	620803-1009418
【우편번호】	
【주소】	경기도 남양주시 와부읍 덕소리 현대아파트 101-109호
【국적】	KR
【취지】	특허법시행규칙 제13조·실용신안법시행규칙 제12조의 규정 에 의하여 위와 같이 제출합니다.
【수수료】	
【보정료】	0
【기타 수수료】	0
【합계】	0

【서류명】	출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	3
【제출일자】	1999.06.07
【국제특허분류】	H01L
【발명의 명칭】	반도체패키지의 제조방법
【발명의 영문명칭】	manufacturing method of semiconductor package
【출원인】	
【명칭】	아남반도체주식회사
【출원인코드】	1-1998-002671-9
【대리인】	
【성명】	서만규
【대리인코드】	9-1998-000260-4
【포괄위임등록번호】	1999-022718-2
【대리인】	
【성명】	최용원
【대리인코드】	9-1998-000658-1
【포괄위임등록번호】	1999-022711-1
【발명자】	
【성명의 국문표기】	신원선
【성명의 영문표기】	SIN,Won sun
【주민등록번호】	620803-1009418
【우편번호】	472-900
【주소】	경기도 남양주시 와부읍 덕소리 현대아파트 101-109호
【국적】	KR
【발명자】	
【성명의 국문표기】	이선구
【성명의 영문표기】	LEE,Seon goo
【주민등록번호】	640719-1140210
【우편번호】	412-220
【주소】	경기도 고양시 덕양구 행신동 햇빛마을 주공아파트 1823-601호
【국적】	KR

【발명자】

【성명의 국문표기】

장태환

【성명의 영문표기】

JANG, Tae Hoan

【주민등록번호】

730923-1697215

【우편번호】

139-200

【주소】

서울특별시 노원구 상계동 767-1 31/2 주공아파트 116-30

【국적】

KR

【취지】

특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대

리인

서만

규 (인) 대리인

최용원 (인)

【수수료】

【기본출원료】

17 면 29,000 원

【가산출원료】

0 면 0 원

【우선권주장료】

0 건 0 원

【심사청구료】

0 항 0 원

【합계】

29,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

이 발명은 반도체패키지의 제조 방법에 관한 것으로, 봉지재가 훌러 들어가는 런너 게이트의 위치 및 형상을 자유롭게 디자인할 수 있으며, 회로기판의 도전성볼이 위치하는 면에 런너게이트를 위한 별도의 공간을 형성할 필요가 없음으로써 입출력단자수를 증가시키기 위해, 다수의 본드핑거와 볼랜드를 가지며 중앙에는 관통공이 형성되어 있는 회로기판을 제공하는 단계와; 일면에 다수의 입출력패드를 가지는 반도체칩을 상기 회로기판의 관통공내에 위치시키는 단계와; 상기 반도체칩의 입출력패드와 회로기판의 본드핑거를 전기적으로 접속시키는 단계와; 상기 반도체칩, 접속수단, 및 회로기판의 일정영역을 봉지재로 봉지하는 단계와; 상기 회로기판의 볼랜드에 도전성볼을 용착하여 입출력단자를 형성하는 단계로 이루어진 반도체패키지의 제조 방법에 있어서, 상기 봉지 단계는 회로기판의 일면에 관통공을 폐쇄할 수 있도록 폐쇄부재를 접착하되, 상기 폐쇄부재를 통과하여 봉지재가 반도체칩 등을 봉지할 수 있도록 적어도 한 개 이상의 통공을 형성하여 접착한 것을 특징으로 하는 반도체패키지의 제조 방법.

【대표도】

도 2

【명세서】**【발명의 명칭】**

반도체패키지의 제조 방법{manufacturing method of semiconductor package}

【도면의 간단한 설명】

도1a는 종래의 반도체패키지를 도시한 단면도이고, 도1b는 봉지 공정을 도시한 상태도이며, 도1c는 반도체패키지의 회로기판 일면에 런너케이트가 형성된 상태를 도시한 저면도이다.

도2는 본 발명에 의한 반도체패키지의 제조 방법을 도시한 상태도이다.

도3a 및 도3b는 회로기판의 일면에 접착된 폐쇄부재에 형성 가능한 통공 및 런너케이트를 도시한 저면도이다.

도4는 본 발명에 의한 반도체패키지의 제조 방법을 이용했을 경우 반도체패키지의 회로기판 저면을 도시한 저면도이다.

- 도면중 주요 부호에 대한 설명 -

2; 반도체칩 4; 입출력패드

6; 전기적 접속수단 10; 회로기판

11; 수지층 12; 본드링거

15; 볼랜드 16; 커버코트층

18; 관통공 20; 봉지재

30; 도전성볼 40; 폐쇄부재

RG; 런너케이트 H; 통공

TD: 탑다이 BD: 바텀다이

R: 런너 G: 게이트

C: 캐비티

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <16> 본 발명은 반도체패키지의 제조 방법에 관한 것으로, 보다 상세하게 설명하면 봉지재가 흘러 들어가는 런너게이트의 위치 및 형상을 자유롭게 디자인할 수 있으며, 회로기판의 도전성불이 위치하는 면에 런너게이트를 위한 별도의 공간을 형성할 필요가 없음으로써 입출력단자수를 증가시킬 수 있는 반도체패키지의 제조 방법에 관한 것이다.
- <17> 최근의 반도체패키지는 볼그리드어레이(ball grid array) 반도체패키지, 칩스케일(chip scale) 반도체패키지, 마이크로볼그리드어레이(micro ball grid array) 반도체패키지 및 초박형 반도체패키지 등과 같이 점차 소형화 및 박형화 추세에 있다.
- <18> 또한, 이러한 반도체패키지에 탑재되는 반도체칩도 집적기술 및 제조장비의 발달로 인해 전력회로의 고성능화, 동작 주파수의 증가 및 회로기능이 확대됨으로써 점차 그 반도체칩의 작동중 발생하는 열이 증가하는 추세 있다.
- <19> 이러한 반도체패키지중에서 종래의 초박형 반도체패키지를 도1a에 도시하였다.
- <20> 도시된 바와 같이 다수의 전자회로가 집적되어 있고 그 일면에는 입출력패드(4)가 형성되어 있는 반도체칩(2)이 중앙에 위치되어 있고, 상기 반도체칩(2)의 외주연으로는 그 반도체칩(2)이 위치할 수 있도록 관통공(18)이 형성된 회로기판(10)이 형성되어 있다

- <21> 상기 회로기판(10)은 수지층(11)을 기본층으로 하여 그 표면에 다수의 본드핑거(12)와 볼랜드(15)로 이루어진 회로패턴층이 형성되어 있고, 상기 다수의 본드핑거(12)와 볼랜드(15)를 오프닝시키며 회로패턴층을 커버코트층(16)이 덮고 있다. 또한, 중앙에는 관통공(18)이 형성되어 전술한 바와 같이 그 관통공(18)에 반도체칩(2)이 위치되어 있다.
- <22> 상기 반도체칩(2)의 입출력패드(4)와 상기 회로기판(10)의 본드핑거(12)는 전기적으로 접속되도록 도전성와이어와 같은 전기적 접속수단(6)에 의해 상호 연결되어 있다.
- <23> 상기 회로기판(10)의 관통공(18) 내측에 위치된 반도체칩(2), 접속수단(6) 및 회로기판(10)의 일부는 봉지채(20)가 감싸고 있으며, 이때 상기 반도체칩(2)의 일면은 봉지채(20) 외측으로 노출되어 있다.
- <24> 상기 회로기판(10)의 볼랜드(15)에는 다수의 도전성볼(30)이 용착되어 차후 마더보드에 실장 가능한 형태로 되어 있다.
- <25> 상기와 같은 반도체패키지의 제조 방법을 간단히 설명하면 다음과 같다.
- <26> 먼저 수지층(11)을 기본층으로 하여 그 표면에 다수의 본드핑거(12)와 볼랜드(15)를 가지고, 상기 본드핑거(12)와 볼랜드(15)가 오픈된 상태로 커버코트층(16)이 코팅되며, 중앙에는 관통공(18)이 형성되어 있는 회로기판(10)을 제공한다.
- <27> 일면에 다수의 입출력패드(4)를 가지는 반도체칩(2)을 상기 회로기판(10)의 관통공(18)내에 위치시킨다. 이때, 상기 회로기판(10)의 일면에는 그 관통공(18)을 폐쇄할 수 있도록 폐쇄부재(40)를 접착하고, 그 폐쇄부재(40)상에 반도체칩(2)을

위치시킨다.

- <28> 상기 반도체칩(2)의 입출력패드(4)와 회로기판(10)의 본드핑거(12)를 전기적 접속 수단(6)을 이용하여 상호 전기적으로 접속시킨다.
- <29> 반도체패키지 자체를 금형내에 위치시키고, 상기 관통공(18)내의 반도체칩(2), 접속수단(6), 및 회로기판(10)의 일정영역을 봉지재(20)로 봉지한다.
- <30> 상기 회로기판(10)의 블랜드(15)에 도전성볼(30)을 용착하여 입출력단자를 형성한다.
- <31> 여기서, 상기 봉지 단계는 도1b에 도시된 바와 같이 탑다이(TD)와 바텀다이(BD) 사이에 반도체패키지 자체를 위치시킨 후 봉지재(20)를 충진하게 된다.
- <32> 즉, 탑다이(TD)에는 반도체칩(2)의 일면 등을 봉지재(20)가 감쌀 수 있도록 일정 공간의 캐비티(C)가 형성되어 있고, 상기 캐비티(C)와 연통되어서는 게이트(G) 및 런너(R)가 형성됨으로써 봉지재(20)가 상기 런너(R), 게이트(G)를 통하여 캐비티(C)에 충진 될 수 있도록 되어 있다.
- <33> 한편, 상기 회로기판(10)의 일면에는 상기 탑다이(TD)의 게이트(G) 및 런너(R)와 대응되는 위치에 런너게이트(RG)가 형성되어 있으며, 이 런너게이트(RG)는 통상 금(Au) 등을 도금하여 형성한다.
- <34> 상기의 제조 방법으로 완성된 반도체패키지의 저면 모양은 도1c에 도시된 바와 같이 회로기판(10) 일면에 다수의 도전성볼(30)이 용착되어 있고, 회로기판(10)의 중앙부에는 봉지재(20)가 봉지되어 있으며, 상기 중앙부의 봉지재(20) 형성을 위한 통로 역할을 하도록 전술한 런너게이트(RG)가 형성되어 있다.

<35> 이와 같이 종래의 반도체패키지는 봉지재를 이용한 봉지 공정을 수행하기 위해, 회로기판의 일면에 런너게이트를 형성해야만 하는 단점이 있다. 상기 런너게이트는 통상 봉지재와 접착성이 작은 금(Au) 등으로 이루어질수록 썬 단가가 비싸지는 것은 물론, 회로패턴의 설계에 많은 제약을 주는 요소로 작용한다.

<36> 더구나, 상기 런너게이트로 인해 통상 확보할 수 있는 도전성볼의 개수에 많은 제약이 따른다.

<37> 또한, 금형의 제작에 있어서도 상기 회로기판의 런너게이트와 대응하는 도양의 런너 및 게이트를 갖는 금형 즉, 탑다이를 제작해야함으로써 설계의 어려움은 물론 제조 단가가 고가로 되는 문제점이 있다.

<38> 더불어, 봉지 공정시 상기 탑다이의 런너 및 게이트와 회로기판의 런너게이트가 정확히 일치하지 않았을 경우에는 봉지재가 블랜드로 침투할 가능성이 있고, 이는 곧 도전성볼이 상기 블랜드에 적절하게 응착되지 않게 될수록 반도체패키지의 불량을 유발하게 된다.

【발명이 이루고자 하는 기술적 과제】

<39> 따라서 본 발명은 상기와 같은 종래의 문제점을 해결하기 위해 발명한 것으로, 봉지재가 흘러 들어가는 런너게이트의 위치 및 형상을 자유롭게 디자인할 수 있으며, 회로기판의 도전성볼이 위치하는 면에 런너를 위한 별도의 공간을 형성할 필요가 없음으로써 입출력단자인 도전성볼의 개수를 증가시킬 수 있는 반도체패키지의 제조 방법을 제공하는데 있다.

【발명의 구성 및 작용】

- <40> 상기한 목적을 달성하기 위해 본 발명에 의한 반도체패키지의 제조 방법은 다수의 본드핑거와 볼랜드를 가지며 중앙에는 관통공이 형성되어 있는 회로기판을 제공하는 단계와; 일면에 다수의 입출력패드를 가지는 반도체칩을 상기 회로기판의 관통공내에 위치시키는 단계와; 상기 반도체칩의 입출력패드와 회로기판의 본드핑거를 전기적으로 접속시키는 단계와; 상기 반도체칩, 접속수단, 및 회로기판의 일정영역을 봉지재로 봉지하는 단계와; 상기 회로기판의 볼랜드에 도전성볼을 용착하여 입출력단자를 형성하는 단계로 이루어진 반도체패키지의 제조 방법에 있어서, 상기 봉지 단계는 일정 크기의 통공이 형성된 폐쇄부재를 상기 회로기판의 관통공에 접착하여 상기 관통공을 폐쇄시키는 단계와; 상기 폐쇄부재의 통공을 통하여 반도체칩 등을 봉지할 수 있도록 봉지재를 주입하는 단계로 이루어진 것을 특징으로 한다.
- <41> 여기서, 상기 폐쇄부재에 형성된 통공은 반도체칩과 접하는 부분의 외주연과 관통공의 내주연 사이에 형성함이 바람직하다.
- <42> 또한, 상기 통공은 원형, 사각형, 절곡된 사각형 중 어느 하나의 모양을 선택하여 형성할 수 있다.
- <43> 이하 본 발명이 속한 기술분야에서 통상의 지식을 가진 자가 본 발명을 용이하게 실시할 수 있을 정도로 본 발명의 바람직한 실시예를 첨부된 도면을 참조하여 상세하게 설명하면 다음과 같다.
- <44> 먼저 다수의 본드핑거(12)와 볼랜드(15)를 가지며 중앙에는 관통공(18)이 형성되어 있는 회로기판(10)을 제공하는 단계, 일면에 다수의 입출력패드(4)를 가지는 반도체칩

(2)을 상기 회로기판(10)의 관통공(18)내에 위치시키는 단계, 상기 반도체칩(2)의 입출력패드(4)와 회로기판(10)의 본드핑거(12)를 전기적으로 접속시키는 단계, 상기 반도체칩(2), 접속수단(6), 및 회로기판(10)의 일정영역을 봉지재(20)로 봉지하는 단계, 상기 회로기판(10)의 볼랜드(15)에 도전성볼(30)을 용착하여 입출력단자를 형성하는 단계는 종래 기술과 같다.

<45> 다만, 본 발명은 상기 봉지 단계에 있어서, 회로기판(10)의 일면에 관통공(18)을 폐쇄할 수 있도록 폐쇄부재(40)를 접착하되, 상기 폐쇄부재(40)에는 통공(H)을 형성하고, 그 통공(H)을 통하여 봉지재(20)가 반도체칩(2) 등을 봉지하도록 한 것을 특징으로 한다.

<46> 여기서, 상기 폐쇄부재(40)는 금형의 높은 온도(약 300°C)에서도 그 성질이 변하지 않는 재질로 하고, 또한 봉지재(20)와의 접착력은 매우 작은 것을 사용함이 바람직하다.

<47> 상기와 같은 폐쇄부재(40)는 통상 회로기판(10)을 구비하는 단계후 회로기판(10)의 일면에 접착하고, 그 후에 반도체칩(2) 접착, 와이어 본딩 및 봉지 공정 등을 실시하는 것이 바람직하지만, 봉지 공정 전 어느 단계에서라도 실시 가능하며 이는 당업자의 선택 사항에 불과하다.

<48> 한편, 도2에 도시된 바와 같이 탑다이(TD)에는 종래와 같이 소정 공간의 캐비티(C)를 형성하고, 바텀다이(BD)에는 상기 폐쇄부재(40)의 일면과 이웃하도록 런너(R) 및 게이트(G)를 형성한다. 여기서, 상기 바텀다이(BD)의 게이트(G)는 상기 폐쇄부재(40)에 형성된 통공(H)과 그 위치가 일치하도록 한다.

<49> 따라서, 봉지재(20)는 상기 바텀다이(BD)의 런너(R), 게이트(G) 및 폐쇄부재(40)의 통공(H)을 따라서 그 상부의 탑다이(TD)에 형성된 캐비티(C) 내측으로 흘러들여 감으로 써 봉지 공정이 실시된다.

<50> 도3a 및 도3b는 회로기판(10)의 일면에 접착된 폐쇄부재(40)에 형성 가능한 통공(H) 및 런너게이트(RG)를 도시한 저면도이다.

<51> 도시된 바와 같이, 상기 폐쇄부재(40)에 형성된 통공(H)은 반도체칩(2)과 접하는 부분의 외주연과 관통공(18)의 내주연 사이에 형성함이 바람직하다. 상기 통공(H)은 원형, 사각형, 절곡된 사각형 중 어느 하나의 모양을 선택하여 형성할 수 있으며 이는 당업자의 선택 사항에 불과하다. 즉, 도3a에 도시된 바와 같이 직사각 형태로 형성하거나 또는 도3b에 도시된 바와 같이 절곡된 직사각형 형태로 형성할 수도 있으며, 이는 당업자의 선택사항에 불과하다.

<52> 도면중 폐쇄부재(40)에 형성된 런너게이트(RG)는 단지 바텀다이(BD)의 런너(R) 및 게이트(G)와 대응되는 부분을 도시한 것이다. 한편, 상기 폐쇄부재(40)의 런너게이트(RG)에는 종래와 같이 봉지재(20)의 흐름이 용이하도록 봉지재(20)와의 접착력이 작은 금(Au) 등을 도금할 수도 있으며, 이것 역시 당업자의 선택사항에 불과하다.

<53> 도4는 상기와 같은 반도체패키지의 제조 방법에 의해 제조된 반도체패키지의 회로기판(10) 저면을 도시한 저면도이다.

<54> 도시된 바와 같이 회로기판(10) 전 영역에 도전성볼(30)이 용착되어 있으며, 종래와 같은 런너게이트(RG)는 형성되어 있지 않다. 따라서 종래보다 많은 수의 입출력단자인 도전성볼(30)이 용착 될 수 있고, 또한 도시되지 않은 회로패턴의 설계에 있어서도

그 자유도가 큼을 알 수 있다.

<55> 이상에서와 같이 본 발명은 비록 상기의 실시예에 한하여 설명하였지만 여기 예만 한정되지 않으며, 본 발명의 범주 및 사상을 벗어나지 않는 범위내에서 여러가지로 변형 된 실시예도 가능할 것이다.

【발명의 효과】

<56> 따라서, 본 발명에 의한 반도체패키지의 제조 방법에 의하면 봉지재가 흘러 들어가는 런너게이트 및 통공을 폐쇄부재에 직접 형성함으로써 그 위치 및 형상을 자유롭게 디자인 할 수 있는 효과가 있다.

<57> 또한, 회로기판의 도전성볼이 위치하는 면에 런너게이트 등을 위한 별도의 공간이 필요없게 됨으로써 입출력단자인 도전성볼의 개수를 증대시킬 수 있는 효과가 있다.

<58> 더불어, 금형의 형상도 복잡하게 형성하지 않아도 됨으로써 반도체패키지의 제조 비용을 절감할 수 있는 효과가 있다.

【특허청구범위】**【청구항 1】**

다수의 본드핑거와 블랜드를 가지며 중앙에는 관통공이 형성되어 있는 회로기판을 제공하는 단계와; 일면에 다수의 입출력패드를 가지는 반도체칩을 상기 회로기판의 관통공내에 위치시키는 단계와; 상기 반도체칩의 입출력패드와 회로기판의 본드핑거를 전기적으로 접속시키는 단계와; 상기 반도체칩, 접속수단, 및 회로기판의 일정영역을 봉지재로 봉지하는 단계와; 상기 회로기판의 블랜드에 도전성볼을 용착하여 입출력단자를 형성하는 단계로 이루어진 반도체패키지의 제조 방법에 있어서,

상기 봉지 단계는 일정 크기의 통공이 형성된 폐쇄부재를 상기 회로기판의 관통공에 접착하여 상기 관통공을 폐쇄시키는 단계와; 상기 폐쇄부재의 통공을 통하여 반도체칩 등을 봉지할 수 있도록 봉지재를 주입하는 단계로 이루어진 반도체패키지의 제조 방법.

【청구항 2】

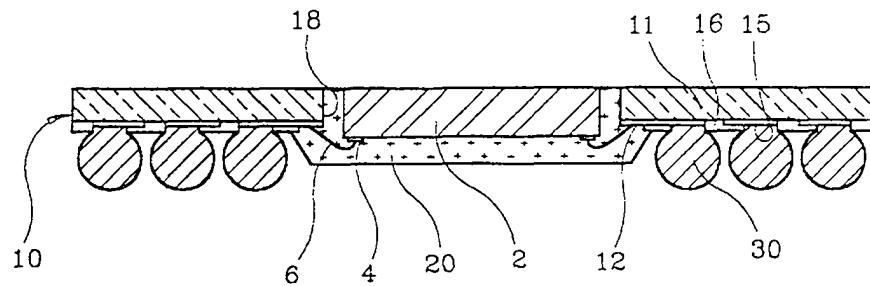
제1항에 있어서, 상기 폐쇄부재에 형성된 통공은 반도체칩과 접하는 부분의 외주연과 관통공의 내주연 사이에 형성한 것을 특징으로 하는 반도체패키지의 제조 방법.

【청구항 3】

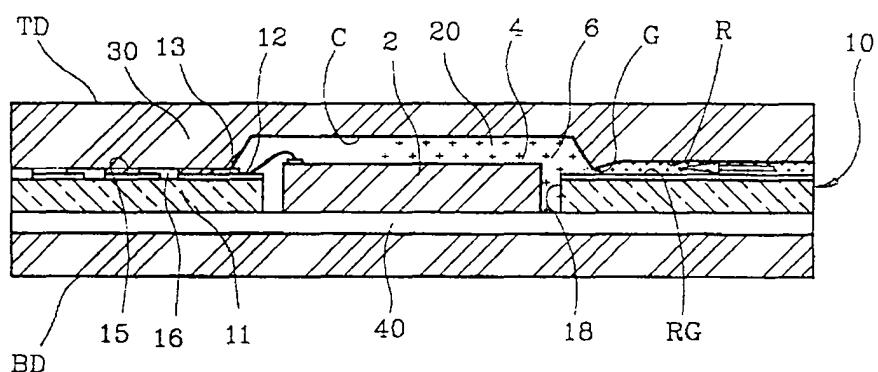
제1항 또는 제2항중 어느 한 항에 있어서, 상기 통공은 원형, 사각형, 절곡된 사각형 중 어느 하나의 모양이 선택되어 형성된 것을 특징으로 하는 반도체패키지의 제조 방법.

【도면】

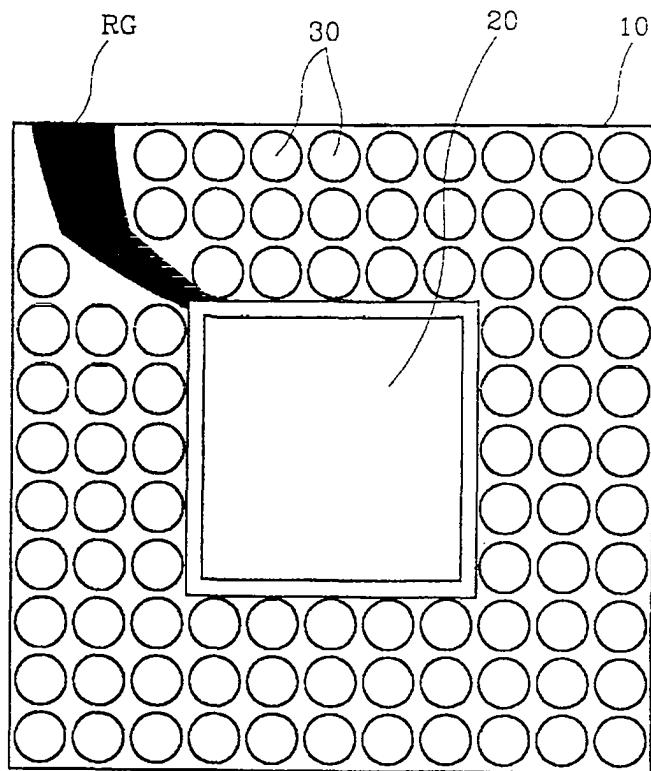
【도 1a】



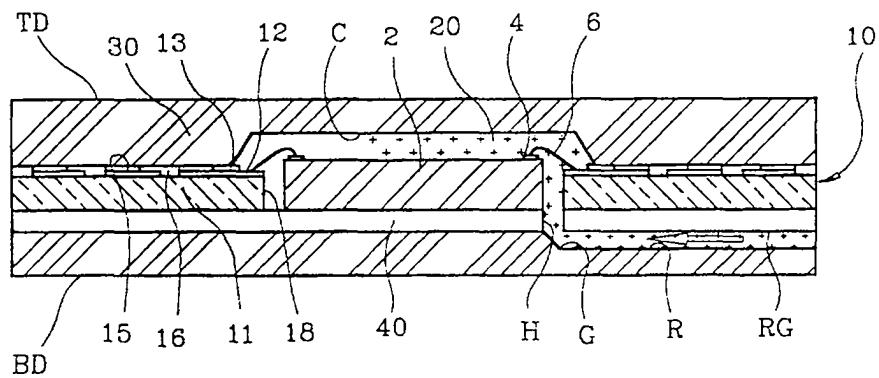
【도 1b】



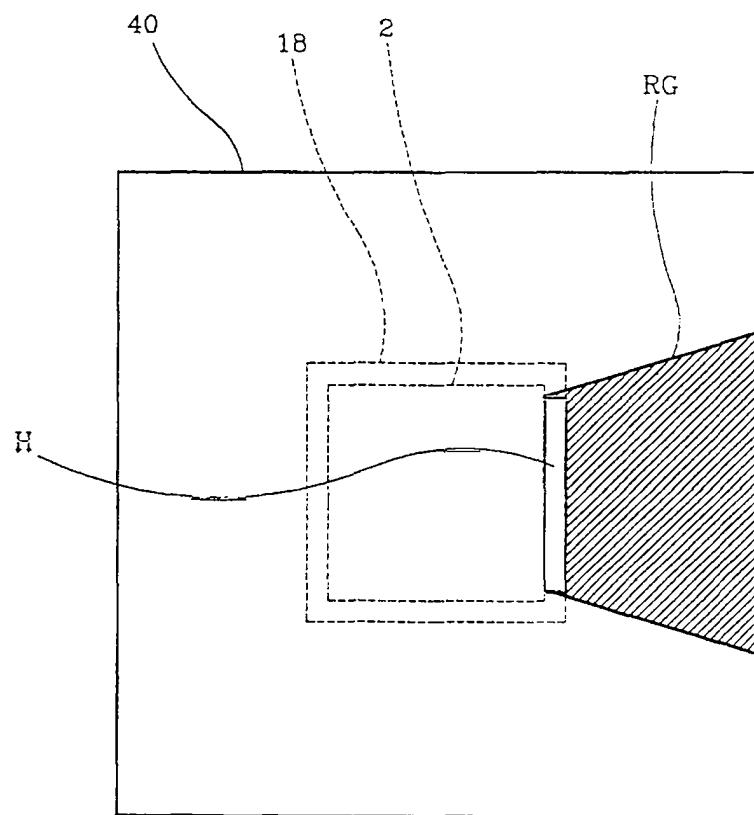
【도 1c】



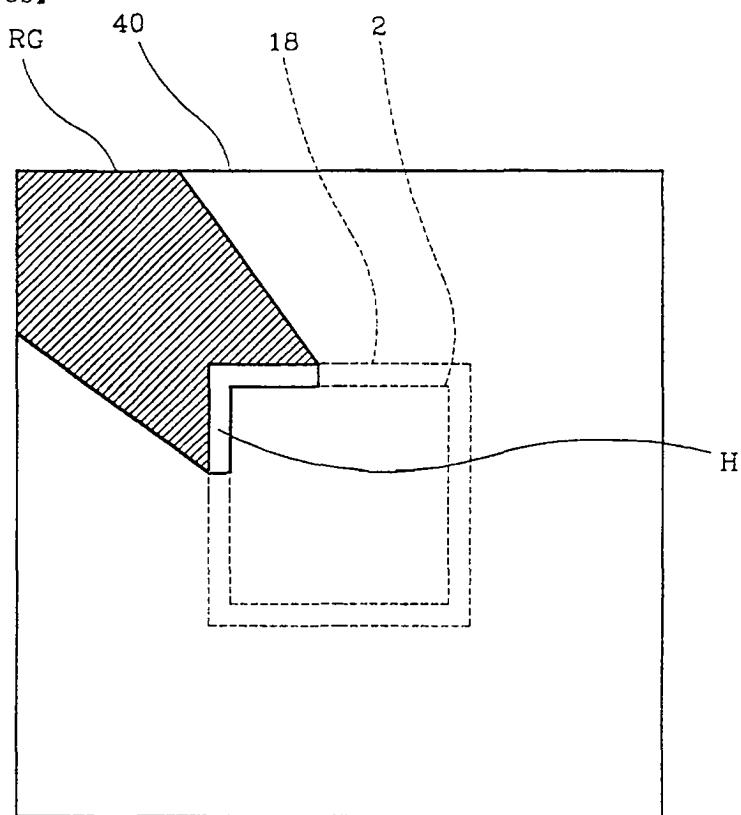
【도 2】



【図 3a】



【도 3b】



【図 4】

